

基于 TMS320C6678 多核处理器体系结构的研究

郝朋朋¹, 周煦林¹, 唐艺菁¹, 肖 瑜²

(1 西安微电子技术研究所, 陕西 西安 710054; 2 中国人民解放军 边防学院, 陕西 西安 710108)

摘 要: 为充分挖掘多核 DSP 性能, 从计算机系统结构的角度出发, 结合对 TI 的 TMS320C6678 的认识, 开展了对多核 DSP 体系结构的研究. 在 C6678 单核结构的基础上, 分析了片内互连网络, 共享存储结构及核间通信技术, 并采用相关算法验证多核 DSP 的性能, 最后提出了多核 DSP 的发展方向.

关键词: 多核 DSP; 体系结构; TMS320C6678

中图分类号: TP39

文献标识码: A

文章编号: 1000-7180(2012)12-0171-05

Research on Multicore Processor's Architecture Based on TMS320C6678

HAO Peng-peng¹, ZHOU Xu-lin¹, TANG Yi-jing¹, XIAO Yu²

(1 Xi'an Microelectronics Technology Institute, Xi'an 710054, China;

2 Border Defence Academy of PLA, Xi'an 710108, China)

Abstract: To fully exploit the performance of multicore DSP, it studies the architecture of multicore DSP in the light of computer architecture with a knowledge of TMS320C6678 issued by TI. On the basis of the architecture of C66x core, on-chip interconnection network, shared memory struction and inter-core communication are futher studied, the performance of the DSP tested with certain algorithm, and finally concluded with the development tendency of multicore DSP.

Key words: mulitcore DSP; architecture; TMS320C6678

1 引言

多核处理器,指的是在一个芯片内含有多个处理核心而构成的处理器. 多核处理器集成多个处理核心,极大地提升了处理器的并行性能. 由于多个核集成在片内,缩短了核间的互连线,提高了通信效率,数据传输带宽也得到了提高. 并且,多核结构有效共享资源,片上资源的利用率得到了提高,功耗也随着器件的减少得到了降低. 这些优势推动了多核结构的发展.

在多核结构设计和应用开发中出现的新问题主要有:

(1)核间关系及内核结构的设计;(2)片上互连;(3)存储结构的设计. 本文以 TI 推出的 TMS320C6678 为标本对这些问题进行研究.

2 C6678 内核结构

TMS320C6678 片内集成了 8 个 C66x 内核和一个网络协处理器,兼具同构和异构的特点,在最高频率 1.25GHz 下,单核可达 40GMAC 的定点计算性能和 20GFLOP 的浮点运算速度^[1].

2.1 C66x 内核

C66x 核包括: C66x CPU, L1P(一级程序存储), L1D(一级数据存储), L2D(二级存储), IDMA(内部 DMA), EMC(外部存储控制器), XMC(扩展存储控制器), BWM(带宽管理), INTC(中断控制器), PDC(节电控制器)等^[2]. 单核结构图如图 1 所示. 其中 C66x CPU 是在 C674x 基础上将数据位宽扩展到 64 位,并支持 128 位定点数据的乘法,乘法运算速度提高了四倍^[3];存储方面依旧采用程序和

数据分开的哈佛结构,且为了提高存取速度采用分层的存储结构分两级存储;XMC 跟 MSMC 相连,提供了访问片内共享存储器及片外 DDR3 的通道;EMC 则方便对外设寄存器的配置及外设对核内资源的访问。

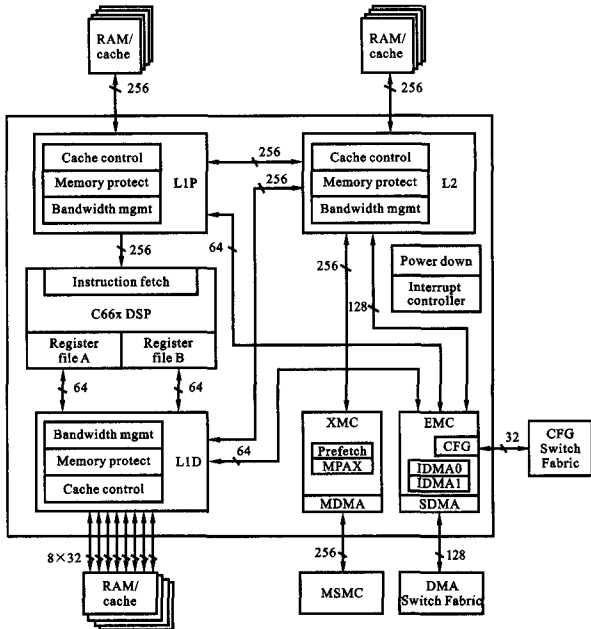


图 1 C66X 单核结构框图

2.2 L1P cache

L1P cache 是一个直接映射的程序 cache,在单周期内如果读缺失则停止 DSP 并从 L2 中取程序,如果仍然缺失则从外存中寻找需要的程序。

缺失流水通过重叠多个 cache 缺失隐藏掉许多时延。为使 L1P 缺失流水线高效运行,必须有多未处理 cache 缺失。对于取指流水,只要流水线有空间,每个周期都会取一个新的取指包。另外,一些 cache 缺失可与发生在取指流水时的指令分配停止重叠。

取指和译码过程被分为 6 步流水,如图 2 所示。

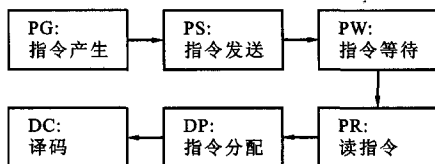


图 2 取指、译码流水线

C6000 DSP 指令被组合成两类:取指包和执行包。DSP 取指令时以 8 条指令为单位,被称为取指包。指令被译码并分成几个包含并行指令的包,称为执行包。一个执行包可包含 1~8 条指令。因此,一个取指包可被分为几个执行包。

由于取指包和执行包的不均等,整个取指流水

不需要每个周期都向前流动。当 DP 段已经消化掉 PR 段传给它的内容时,PR 段才允许 PW 段将其中内容移到 PR,而 PR 之前的流水段则向前流动填补空白。因此,当没有 cache 缺失且 DP 段从取指包中抽取执行包时,取指流水之前的段被停止。这些停止被叫做分配停止。

C66x DSP 允许 cache 读缺失未决时,其早期的流水向 DP 流动,这样就利用了分配停止,从而提高了 L1P cache 的性能^[2]。

2.3 L1D cache

L1D cache 是一个两路组相联的数据 cache,可支持最多每周期两次数据访问。在 L1D 中重新分配一行将导致一个替换行的写回。当替换行被替换出时,它被转移到替换缓冲器中,然后 L1D 继续处理当前的读缺失,进一步的写回操作将在背景下处理。随后的读写缺失则要等待写回的处理。如果读缺失不与当前的替换行冲突,读缺失可与替换行写回流水操作以减小延迟。不同行的连续的读缺失可以流水处理,从而减小整体的延迟。

写缺失由一个 128 位宽,有 4 个入口的写缓冲器直接传入 L2。除非写缓冲器满,写缺失不会延迟 DSP 操作。写缓冲器允许将两次写缺失合为一个操作,这种操作适用于多种情形。比如当一个程序对存储器中一个结构体进行大量的顺序写或小量的突发写,在这种状况下通过减少缓冲器中单独存储的个数可提高缓冲器的有效容量,这对于拥有大量写缺失的程序来说减少了延迟。另外减少了 L2 中存储操作的个数,从而提升了 L2 整体的性能。临近的访问被融合后,可减少对 L2 中同一个 Bank 的访问次数,节省了占用该 Bank 的时间。其他的访问者可快速访问该 Bank,而 DSP 则可以访问另一个 Bank^[2]。这样的设计有助于提高数据 cache 的性能。

3 C6678 多核架构

C6678 结构框图如图 3 所示。整个系统由 TeraNet 将 8 个内核,网络协处理器,共享存储管理器,多核导航器,外设及其他功能部件连接起来。处理单元由 8 个相同的内核构成,互连网络 TeraNet 为分层结构的总线形式,且内核通过共享存储管理器共享容量为 4MB 的共享存储器,从体系结构上看类似于并行计算机中的对称多处理机(SMP)。

3.1 TeraNet

TeraNet 是 TI 开发的一种通用总线架构(CBA),是一种灵活的,可扩展的分层交换的总线

结构,结合在一起可在 SOC 内部为数据传输提供大于 2 兆兆位的带宽. 在 256 位数据宽度,500MHZ 的情况下,每个接口的传输速率可达 16000Mbps. 该架构支持 8 位,16 位,32 位,64 位,128 位和 256 位数据,可根据功耗,面积和性能等因素折中选择. 部分系统互连如图 4 所示.

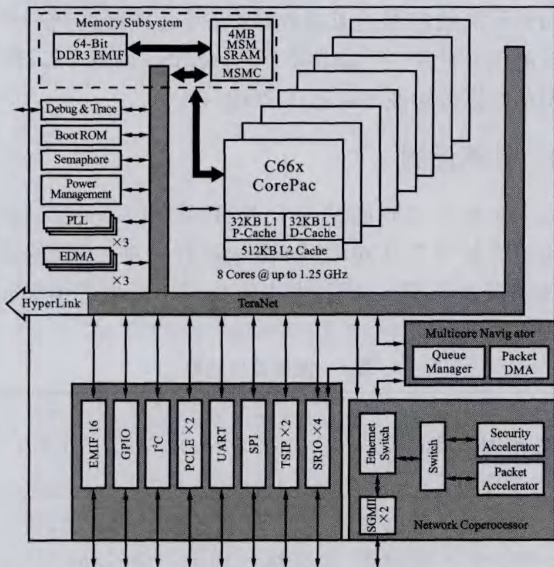


图 3 C6678 结构框图

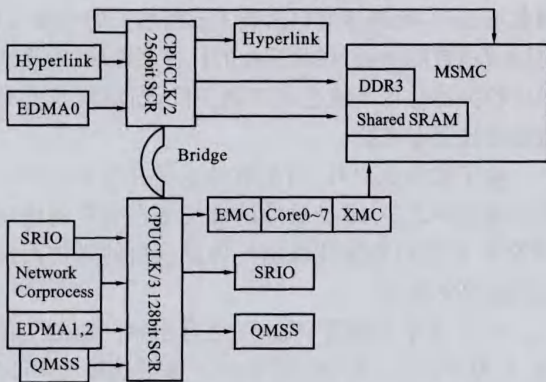


图 4 部分系统互连结构示意图

在 CBA 里,主方驱动传输层的所有控制信息,同时驱动写数据和接收读数据,读状态和写状态信息;从方则对传输进行回应.

3.1.1 总线协议

CBA 由两种总线协议构成:VBUSP 和 VBUSM. 两种协议的数据单元和传输数据的握手控制是一致的,这使得两种协议可以保持较高的兼容性,且使得协议间的桥接成为一种直接的操作.

VBUSP 是典型的点到点协议,任何时候只能有一个未处理操作. 数据流由一组与地址和顺序相关的数据相位构成,并组成一个单元在接口间传输.

在底层,读写操作由方向信号控制.

在传输过程中,主方负责指定传输参数,包括读写方向,起始地址,地址行进和传输长度. 从方负责发起读数据并回应合适的 Ready 信号. VBUSP 处理过程中,在下一个数据相位到来前,当前接口上的数据相位必须处理完毕,同样只有当前的传输结束后才能进行下一个传输处理.

VBUSM 允许有多个未处理操作,同样也支持多个处理的流水操作,这提高了系统性能,代价是更高的复杂度和更多的逻辑. VBUSM 取消了 VBUSP 固有的各处理间的阻塞行为,从而提高了系统性能;同时也允许传输控制信号与数据独立的流水.

写状态总线对 VBUSM 来说是必须的,其目的是当写数据真正到达时回应主方,这是考虑到数据可能会缓存在桥里. 主方负责驱动所有的控制信号,除了 Ready 信号. 从方可以用 Ready 信号的组合来监控数据传输结束.

VBUSM 主要应用在 CPU 和存储器接口之间的高速系统总线.

3.1.2 SCR 与桥

SCR 是一个 N:M 的交叉开关,允许 N 个主方连接到 M 个从方. 它不增加延迟且允许在主从方无缝仲裁. SCR 只支持单一协议,频率和总线位宽. VBUSM 和 VBUSP 均支持点到点的并发传输. 每一个主从连接都是完全独立的,对于 VBUSM,不同的主方可以同时拥有待处理的命令及流动的数据. 当和同一个从方通信时,从方根据优先级对不同的请求方进行仲裁.

桥是 CBA 系统中重要的部件,主要用来连接拥有不同频率,不同数据宽度,不同协议的总线部分. 桥的设计有助于提高整个系统的吞吐率,增强系统的扩展性^[4].

可以看出 TeraNet 是一种高效的互连结构,通信延迟小,结构比较简单,占用面积也不大,在核数目不是很大的系统中是一个不错的选择.

3.2 多核共享存储管理器(MSMC)

共享存储管理器主要用来管理对共享存储器及 DDR3 外部存储器的访问,负责 C66x 内核,DMA 及其他主设备和 EMIF 接口之间的通讯. 多核共享存储管理器的结构框图如图 5 所示.

内核通过 EMC 接口连接到 MSMC,可访问共享存储器及其寄存器,并通过 EMIF Master Port 访问外部存储器及 EMIF 寄存器. 其中,EMC 接口具有预取功能,可提高核对外部存储器的访问速度.

System Master Port 可用来访问系统级资源;连在 TeraNet 上的主设备(不包括内核)可通过 SMS 端口访问共享存储器及 MSMC 配置寄存器,通过 SES 端口访问 DDR 外存及 EMIF 寄存器. 这样,MSMC 使得系统有机的连接起来^[5].

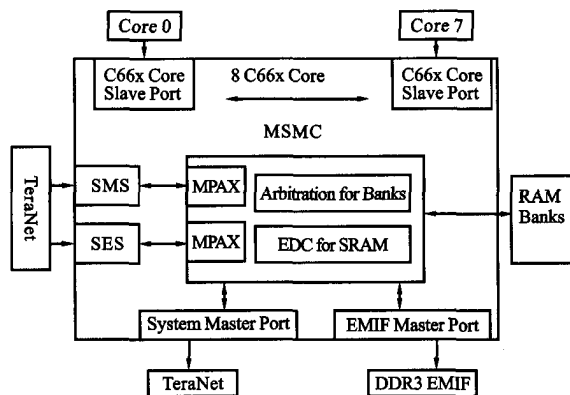


图 5 MSMC 结构框图

MSMC 不仅提高了系统对共享存储器及外部存储器的访问速度,而且大大减轻了 TeraNet 的负担,并且可在内核与其它 IP 模块之间仲裁对存储器的访问,消除存储器争用. 另外,该模块还具有存储器保护和对外部存储器地址扩展(MPAX)等功能.

3.3 多核导航器

多核导航器是一款基于数据包的创新型管理器,可对 SoC 上各个子系统间的连接进行控制与抽象,旨在简化多核之间及内核与外设间的数据传输.

在高速处理系统中,包的发送和接收是比较关键的任务. 多核导航器可减少核对片内数据传输的干预,提高存储器利用效率与总线突发效率,增强了收发操作的对称性,提高了连接数量、缓冲与队列容量,淡化了协议间的差异,支持协议的扩展性,简化了数据传输.

多核导航器由以下模块构成:

(1) 队列管理子系统(QMSS),该模块包括队列管理器,核到核应用的 PKTDMA 以及两个 PDSP;

(2) PKTDMA 模块,存在于两个模块中:SRIO 和 PA.

队列管理器负责包队列的加速管理. 队列是用来存储在系统间传输的包的地址. QMSS 内的两个 PDSP 用于执行累加,监控或 QOS 功能.

包由包头和与之相关的包数据组成. 根据包头的不同类型,包数据可以跟包头连续存放,也可以放在包头中存放的地址所指示的位置. 将包头的地址写入到队列管理模块中特定的存储器映射位置,包就被加入到包队列中;读相同的位置该包被弹出.

PKTDMA 跟 DMA 一样主要实现的点到点的数据传输,不同点在于它不关心负载数据的结构. 对于 PKTDMA,所有的数据都是简单的一维比特流,对 PKTDMA 的编程只需包头的初始化,PKTDMA 发送接收通道及接收流控制的配置^[6].

多核导航器方便了核间通信与数据传输,还能由外设高效的发送或接收数据,使处理器达到一个较高的吞吐率. 测试结果表明,QMSS 内的 PKTDMA 数据传输速率可达 1.2GB/s.

4 性能评测

实验中用到的平台是 TMDXEVMM6678,利用边缘检测算法对 BMP 图像进行处理,用到的图像像素为 1587 * 2182,大小为 9.91MB,处理结果如表 1 所示.

表 1 图像处理结果

处理核数	1	2	4	8
处理时间(ms)	319.872	162.203	84.012	43.315
加速比	—	1.972	3.807	7.385

由表 1 可以看出,随着处理核数目的增加,整个处理时间不断减小,并行执行相对于串行执行的加速比也是随着处理器数目几乎成线性增长. 当处理核数增加时,处理速度也沿袭了成倍增长的趋势,只是随着核数的增长,核间交互的代价不断增加,算法可供挖掘的并行潜能也在不断下降,所以增长的处理速度也逐渐变缓.

除了加速比以外,可扩放性也是并行系统的主要性能指标之一. 可扩放性的含义是在确定的应用背景下,计算机系统性能随处理器数目的增加而按比例提高的能力^[5].

令 P 表示处理器个数, W 表示求解问题的工作量, T 为并行执行时间,则并行计算的速度 V 可以表示为:

$$V=W/T$$

并行系统的平均速度 $\bar{V}$ 定义为:

$$\bar{V}=V/P=W/PT$$

如果速度能随处理器数的增加而线性增加,则说明此系统具有很好的可扩放性. 这意味这平均速度为常数,加速比是线性增长的. 从表中可以看出,加速比是随着处理器数几乎成线性增长,从而可以得出:C6678 对于该类算法具有较好的可扩放性.

5 多核 DSP 发展方向

综合对 C6678 的认识,多核 DSP 有以下发展

趋势:

(1)为提高 DSP 性能,尽可能多的将高性能单核集成到 DSP 中,同时又要考虑到系统互连与功耗等的要求,这就要求单核体系结构在保证性能的同时又不能过于复杂.

(2)对互连网络的要求越来越高,除了网络带宽的不断增长,还要求有一定的扩展性,不致随着处理器数目的增加,整体性能不能得到期望的增加;文中的 TeraNet 是一种分层总线结构,应用了 SCR 和桥,解决了扩展性问题;另外 MSMC 的应用也减轻了系统互连的负担,降低了对互连网络的要求.

(3)对数据包的处理越来越普遍.在性能和吞吐率要求高的场合往往涉及到对数据块的操作,比如 C6678 中的多核导航器及 SRIO 接口等.这不仅是高性能处理器的发展方向,也是高速接口的发展趋势.

6 结束语

多核处理器的出现对计算机体系结构的发展有着深远的影响.随着多核处理器的发展,新的挑战也不断出现,新的问题的解决要依赖于新的系统结构技术的突破.要想充分发挥多核处理器的性能,不仅要靠硬件结构的改进,还要依赖软件架构的支持.

参考文献:

- [1] Texas Instruments. TMS320C6678 Multicore Fixed and Floating-Point Digital Signal Processor Data Manual[J]. USA: Texas, 2011.
- [2] Texas Instruments. TMS320C66x DSP CorePac User Guide[J]. USA: Texas, 2011.
- [3] Texas Instruments. TMS320C66x DSP CPU and Instruction Set Reference Guide[R]. USA: Texas, 2010.
- [4] Texas Instruments. TMS320C6474 Common Bus Architecture Throughput[M]. USA: Texas, 2008.
- [5] Texas Instruments. KeyStone Architecture Multicore Shared Memory Controller(MSMC) User Guide[R]. USA: Texas, 2011.
- [6] Texas Instruments. KeyStone Architecture Multicore Navigator User Guide[R]. USA: Texas, 2011.

作者简介:

郝朋朋 男,(1987—),硕士研究生.研究方向为计算机系统结构.

周煦林 男,(1970—),研究员.研究方向为高性能计算技术、计算机系统结构.

唐艺菁 女,(1977—),高级工程师.研究方向为计算机系统结构.

肖瑜 男,(1964—),教授.研究方向为作战仿真与虚拟现实.